

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



F-2298-U.S.
#4/Priority
12/2/99
1/4

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1998年 8月20日

出 願 番 号
Application Number:

平成10年特許願第234333号

出 願 人
Applicant(s):

沖電気工業株式会社

32014-150502

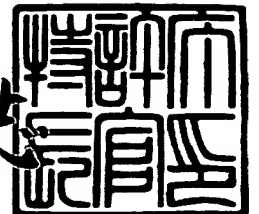
SHOJI

8/20/99

1999年 2月 5日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3004746

【書類名】 特許願

【整理番号】 KT-0160

【提出日】 平成10年 8月20日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 21/82

【発明の名称】 半導体集積回路のレイアウト方法

【請求項の数】 6

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

【氏名】 荏司 公克

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

【氏名】 田所 宏文

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

【氏名】 弥永 修

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路のレイアウト方法

【特許請求の範囲】

【請求項 1】 基本的な論理を実現する複数の基本ゲートがアレイ状に配置されて成るゲートアレイブロック、および、所定の機能を有する複数の機能ブロックを所定位置に配置する一の工程と；

前記一の工程の後に、前記ゲートアレイブロックについてゲートアレイ方式により回路設計を行う他の工程と；

を含むことを特徴とする半導体集積回路のレイアウト方法。

【請求項 2】 前記ゲートアレイブロック、および、前記複数の機能ブロックは、スタンダードセル方式によりレイアウトされることを特徴とする請求項 1 に記載の半導体集積回路のレイアウト方法。

【請求項 3】 前記ゲートアレイブロック、および、前記複数の機能ブロックは、フルカスタム方式によりレイアウトされることを特徴とする請求項 1 に記載の半導体集積回路のレイアウト方法。

【請求項 4】 前記ゲートアレイブロックは、前記複数の基本ゲートが金属配線層を用いて接続されることによって回路構成されることを特徴とする請求項 1, 2, または 3 のいずれかに記載の半導体集積回路のレイアウト方法。

【請求項 5】 前記複数の機能ブロックの一は、CPU コアブロックであることを特徴とする請求項 1, 2, 3, または 4 のいずれかに記載の半導体集積回路のレイアウト方法。

【請求項 6】 前記複数の機能ブロックの一は、メモリセルブロックであることを特徴とする請求項 1, 2, 3, 4, または 5 のいずれかに記載の半導体集積回路のレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路（以下、「IC」という。）のレイアウト方法に関するものである。

【0002】

【従来の技術】

ASIC (Application Specific Integrated Circuit) 等のカスタムICは、通常、ゲートアレイ方式、エンベッデドアレイ方式、スタンダードセル方式、またはフルカスタム方式によって設計される。

【0003】

ゲートアレイ方式で設計されたICは、予め金属配線層以外の層がマスタスライスとして形成され、後に配線層が形成されることにより回路機能が実現されるため、短期間での製造が可能となる特徴を有する。

【0004】

また、スタンダードセル方式またはフルカスタム方式によれば、専用マクロが使用されるため、ICチップ面積を小さく抑えることが可能となる。特に、レイアウトエディタ等を用いることにより、最小のICチップ面積が得られることになる。

【0005】

以上のゲートアレイ方式、スタンダードセル方式、およびフルカスタム方式に対して、エンベッデドアレイ方式は、以下の特徴を備えている。すなわち、エンベッデドアレイ方式によれば、CPU、RAM等の専用マクロは、ICレイアウトの設計段階においてベースアレイに埋め込まれることになる。そして、トランジスタ等の機能素子が形成される層は、先行して設計・製造されたマスクが用いられて形成され、その上に、複数の機能素子を相互接続する配線層が形成されることになる。なお、通常、配線層は、ユーザ毎に設計されるものであることから、以下、「カスタマイズ層」という。これに対して、機能素子が形成される層は、汎用的に用いられるものであることから、以下、「非カスタマイズ層」という。

【0006】

このように、エンベッデドアレイ方式を採用することにより、非カスタマイズ層を形成するためのマスクの設計・製造は、専用マクロ以外の論理回路が確定し

ていない段階においても可能となり、カスタマイズ層のみで論理回路が実現されるゲートアレイ方式と同等の短いTAT (Turn Around Time) でICが形成されることになる。

【0007】

また、論理回路の回路変更が必要な場合であっても、非カスタマイズ層を形成するためのマスクを変更することなく、カスタマイズ層の変更のみで、かかる回路変更に対応することが可能となる。

【0008】

さらに、エンベデッドアレイ方式において、専用マクロは、例えばフルカスタム方式でレイアウト設計される。このフルカスタム方式によれば、専用マクロは、ゲートアレイ方式に比べて狭い面積で実現される。結果的に、エンベデッドアレイ方式によってレイアウトされて成るICのチップ面積は、純粋なゲートアレイ方式でレイアウトされたICに対して小さなものとなる。

【0009】

【発明が解決しようとする課題】

しかしながら、従来の各レイアウト方式は、以下の欠点も有している。

【0010】

まず、ゲートアレイ方式の場合、これによって設計されたICは、通常、複数の仕様に対応するように汎用的な機能素子が用いられるため、そのチップ面積は、自ずと大きくなってしまふ。

【0011】

スタンダードセル方式またはフルカスタム方式の場合、上述のように、これによって設計されたICのチップ面積は小さくなるものの、設計終了からIC全層の製造開始までの期間が長くなってしまふ。

【0012】

また、エンベデッドアレイ方式において、専用マクロ以外については、ゲートアレイ方式により設計されたマクロセルやベースアレイ等、いわゆる設計資産が用いられる。ゲートアレイ方式により設計されたマクロセルは、複数の仕様に対応する汎用性の高いものであるため、一般的にスタンダードセル方式またはフル

カスタム方式によって設計されたマクロセルに対して大規模なものとなってしまふ。したがって、エンベデッドアレイ方式によって設計されたICのチップ面積は、スタンダードセル方式またはフルカスタム方式によって設計された場合に比べて大きくなってしまい、チップのコストに対しても少なからず影響を及ぼすこととなっていた。

【0013】

本発明は、上記のような問題点に鑑みてなされたものであり、その目的は、チップ面積が小さく、さらには短期間に設計・製造が可能な半導体集積回路の設計方法を提供することにある。

【0014】

【課題を解決するための手段】

上記課題を解決するために、請求項1によれば、基本的な論理を実現する複数の基本ゲートがアレイ状に配置されて成るゲートアレイブロック、および、所定の機能を有する複数の機能ブロックを所定位置に配置する一の工程と、前記一の工程の後に、前記ゲートアレイブロックについてゲートアレイ方式により回路設計を行う他の工程とを含むことを特徴とする半導体集積回路のレイアウト方法が提供される。

【0015】

かかるレイアウト方法によれば、まず一の工程において複数の機能ブロックによって形成される回路が確定し、確定した回路にかかるマスクを設計・製造することが可能となる。そして、マスクの設計・製造に並行して、ゲートアレイブロックの回路をゲートアレイ方式により確定させる他の工程を実施することが可能となる。したがって、全ての回路の確定を待ってマスクの設計・製造を開始していた従来と比べて、設計および製造を含め半導体集積回路の完成までにかかる時間が削減されることになる。

【0016】

そして、前記ゲートアレイブロック、および、前記複数の機能ブロックを、請求項2に記載のように、スタンダードセル方式によりレイアウトすることが可能である。また、請求項3に記載のように、フルカスタム方式によりレイアウトす

ることも可能である。かかる方法によれば、半導体集積回路を面積の小さなチップで実現することが可能となる。

【0017】

請求項4に記載のように、複数の基本ゲートを金属配線層によって接続し、ゲートアレイブロックの回路を構成すれば、他の工程におけるゲートアレイブロックの回路は、主として金属配線層を設計することにより確定することになる。すなわち、他の工程の後に、金属配線層にかかるマスクを設計・製造し、このマスクを用いて金属配線層を形成することにより、半導体集積回路における全回路が完成する。かかる方法によれば、半導体集積回路の設計終了から半導体集積回路の製造終了までに要する時間は、実質的に金属配線層の形成に要する時間と一致することになり、結果的に半導体集積回路の完成までの期間を従来に比べて大幅に削減することが可能となる。

【0018】

そして、請求項5に記載のように複数の機能ブロックの一をCPUコアブロックとすることも可能であり、また、請求項6に記載のように複数の機能ブロックの一をメモリセルブロックとすることも可能である。

【0019】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかるの好適な実施の形態について詳細に説明する。なお、以下の説明において、略同一の機能および構成を有する構成要素については、同一符号を付することにより、重複説明を省略することにする。

【0020】

ICチップの面積を小さくするためには、上述のようにスタンダードセル方式またはフルカスタム方式を採用することが望ましい。そして、一般的にエンベデッドアレイ方式で実施されているように、非カスタマイズ層の形成にかかるマスクの設計・製造をカスタマイズ層の形成に対して先行して（もしくは、並行して）行うことにより、TATを短縮することが可能となる。

【0021】

非カスタマイズ層にかかるマスクを先行して設計・製造するためには、以下の2つの条件を満たさなければならない。第1に、非カスタマイズ層を構成するトランジスタ等の機能素子のパターンが固定されており、マスクの設計・製造開始後にパターンの変更が生じないことが必要である。さらに、カスタマイズ層としての配線層における配線を非カスタマイズ層に対して適宜形成することにより、所望の機能が得られることが第2の条件である。すなわち、スタンダードセル方式またはフルカスタム方式によって設計されたICに対してゲートアレイ方式による基本ゲートを部分的に埋め込み、埋め込まれた複数の基本ゲートを電氣的に接続し組み合わせることによって所望の機能が実現されるのであれば、スタンダードセル方式またはフルカスタム方式で設計されたICであっても非カスタマイズ層にかかるマスクをカスタマイズ層の形成に先行して設計・製造することが可能となる。

【0022】

次に、非カスタマイズ層にかかるマスクをカスタマイズ層の形成に先行して設計・製造することが可能なICについて、スタンダードセル方式またはフルカスタム方式を用いて設計する場合の工程を説明する。

【0023】

まず、ICの全回路領域を、回路がすでに確定して回路変更が生じない領域と回路変更が生じる可能性のある領域に分割する。

【0024】

次に、回路変更が生じる可能性のある領域について、ゲートアレイ方式による設計資産をブロック化してレイアウト設計を行う。そして、スタンダードセル方式またはフルカスタム方式の設計用CAD (Computer Aided Design) を用いて、ブロック化されたゲートアレイ方式による設計資産（以下、「ゲートアレイブロック」という。）を取り込みつつ、IC全体のレイアウト設計を行う。IC全体のレイアウト設計が完了したところで、非カスタマイズ層にかかるマスクの設計・製造を開始する。

【0025】

その後、回路変更が生じる可能性のある領域について回路内容が確定したとこ

るで、ゲートアレイ方式の設計用CADを用いてゲートアレイブロックをレイアウトし直す。そして、再レイアウトされたゲートアレイブロックに基づき、カスタマイズ層にかかるマスクの設計・製造を開始する。なお、回路が確定したゲートアレイブロックは、先行して設計・製造されたマスクにより形成される非カスタマイズ層に基づきレイアウト設計される。すなわち、回路確定前のゲートアレイブロックと回路確定後のゲートアレイブロックは、縦方向および横方向ともに同数の基本ゲートから成る同一の基本ゲート群から構成される。

【0026】

次に本発明の実施の形態にかかるICチップ1について、図1、2に基づき説明する。このICチップ1は、チップ周辺部2およびコアマクロ部3から構成されている。

【0027】

チップ周辺部2は、ICチップ1とチップ外部とのインタフェースとなる複数のI/Oバッファ21およびボンディングワイヤが接続される複数のパッド22から構成されている。

【0028】

コアマクロ部3には、例えば、CPUコアブロック31、周辺ブロック32、ランダムロジックブロック33、およびゲートアレイブロック34が配置されており、各ブロックは、金属配線によって電氣的に接続されている。

【0029】

通常、CPUコアブロック31、周辺ブロック32、およびランダムロジックブロック33を構成するトランジスタは、任意の形状を有しており、スタンダードセル方式またはフルカスタム方式によって設計される。これに対して、ゲートアレイブロック34は、図2に示すように、アレイ状に配置された複数の基本ゲート41によって構成されている。そして、基本ゲート41を組み合わせることにより、論理素子42-1、42-2、42-3、42-4、・・・が形成されることになる。

【0030】

論理素子42-1、42-2、42-3、42-4、・・・の機能は、各基本

ゲート 41 を構成するトランジスタの各端子を配線 43 を用いて接続することにより実現される。そして、ゲートアレイブロック 34 の機能は、回路の接続情報に基づき各論理素子 42-1, 42-2, 42-3, 42-4, . . . を金属配線 44 を用いて接続することにより実現される。

【0031】

以上のように構成されたゲートアレイブロック 34 は、チップ周辺部 2 およびコアマクロ部 3 を構成する CPU コアブロック 31, 周辺ブロック 32, ランダムロジックブロック 33 と共に IC チップ 1 上に配置され、これにより IC チップ 1 のレイアウト設計が完了することになる。

【0032】

従来、スタンダードセル方式またはフルカスタム方式で IC を設計する場合、マスクの設計・製造後に拡散層、ポリシリコン層、金属配線層等が形成されることになるため、一般的に IC 完成まで数ヶ月を要していた。これに対して、本発明の実施の形態にかかる IC チップ 1 によれば、例えば、論理シミュレーションの段階で非カスタマイズ層にかかるマスクを先行して設計・製造することが可能となる。そして、マスクの設計・製造と並行して論理シミュレーション等の設計作業を継続し、ゲートアレイブロック 34 の回路が確定したところでレイアウト設計を再度行い、カスタマイズ層にかかるマスクの設計・製造を行うこととする。

【0033】

例えば、カスタマイズ層の製造開始までに、非カスタマイズ層の製造が完了している場合、カスタマイズ層製造開始から IC チップ 1 の全層形成完了までの TAT は、カスタマイズ層の製造期間と同じ数週間となる。すなわち、スタンダードセル方式またはフルカスタム方式を用いて IC を設計していた従来に比べて、IC 設計終了から IC チップ製造終了までの期間が数ヶ月から数週間に大幅に短縮されることになる。

【0034】

また、本発明の実施の形態にかかる IC チップ 1 によれば、ゲートアレイブロック 34 に回路変更が生じた場合、非カスタマイズ層の回路内容を維持しつつ、

ゲートアレイブロック 34 のみ設計し直し、設計変更後のゲートアレイマスク 34 にかかるマスクのみを設計・製造することで対応することが可能となる。これにより、ゲートアレイブロック 34 の回路変更は、短期間で完了することになる。

【0035】

そして、ゲートアレイブロック 34 の回路機能は、基本ゲート 41 から成る論理素子 42-1, 42-2, 42-3, 42-4, ... をカスタマイズ層における金属配線 44 を用いて接続することによって実現されている。すなわち、1 種類の非カスタマイズ層に対して、機能の異なる複数のゲートアレイブロックを組み合わせることによって多様な機能バリエーションの IC が製造されることになる。

【0036】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0037】

例えば、本実施の形態にかかる IC チップ 1 は、CPU である場合に即して説明したが、本発明はこれに限らず RAM 等その他の半導体集積回路にも適用可能である。

【0038】

【発明の効果】

以上説明したように、本発明によれば、設計および製造を含め半導体集積回路の完成までにかかる時間を大幅に削減することが可能となる。そして、特に請求項 2, 3 に記載の発明によれば、半導体集積回路を面積の小さなチップで実現することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態にかかる ICチップの構成を示すブロック図である。

【図 2】

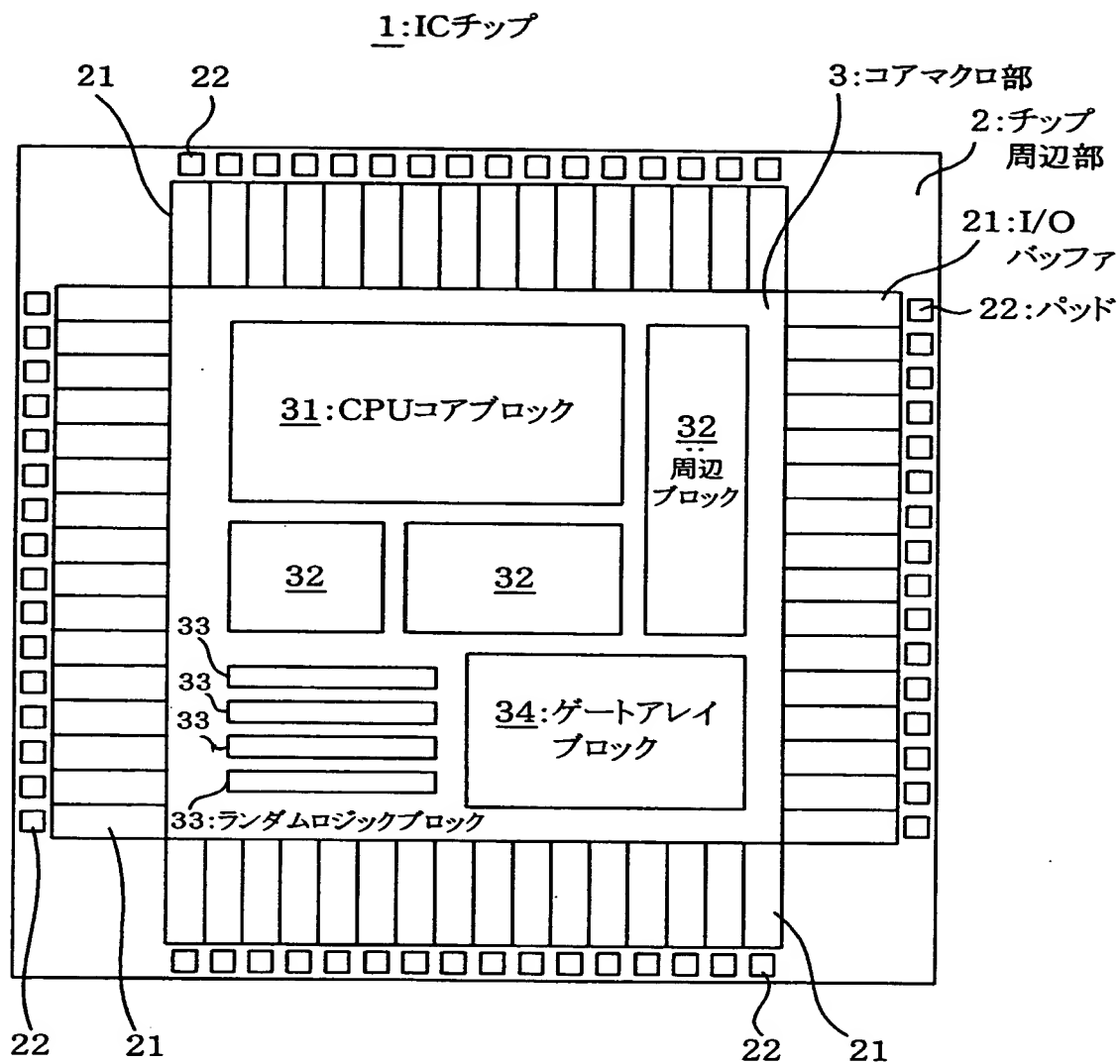
図 1 に示す ICチップに備えられたゲートアレイブロックの構成を示すブロック図である。

【符号の説明】

- 1 ICチップ
- 2 チップ周辺部
- 3 コアマクロ部
- 21 I/Oバッファ
- 22 パッド
- 31 CPUコアブロック
- 32 周辺ブロック
- 33 ランダムロジックブロック
- 34 ゲートアレイブロック
- 41 基本ゲート
- 42-1 論理素子
- 43 配線
- 44 金属配線

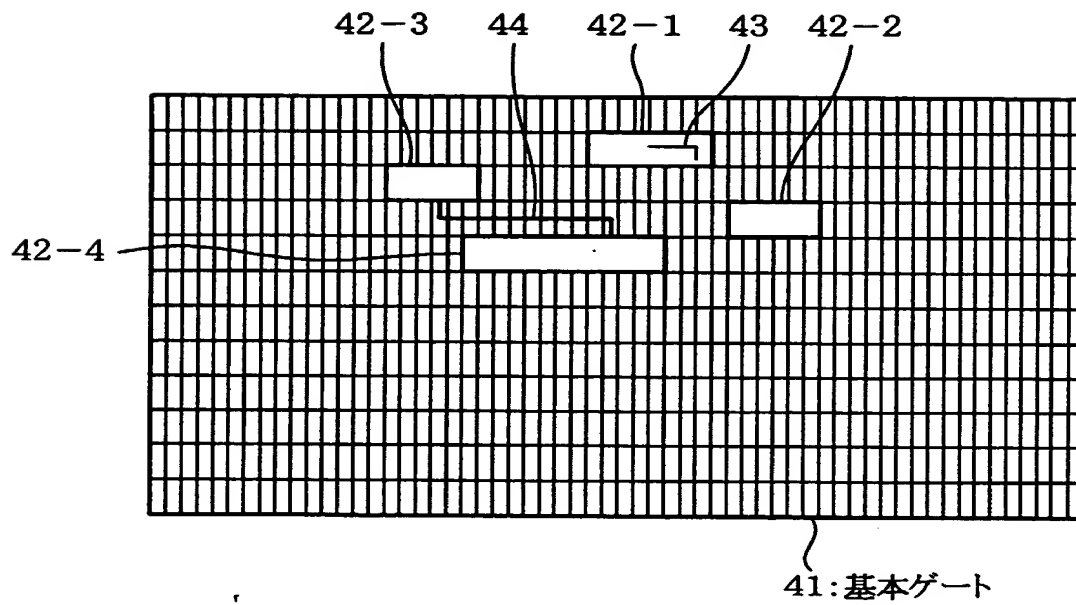
【書類名】 図面

【図 1】



【図 2】

34:ゲートアレイブロック



【書類名】 要約書

【要約】

【課題】 チップ面積が小さく、さらには短期間に設計・製造が可能な半導体集積回路の設計方法を提供する。

【解決手段】 ICチップ1は、チップ周辺部2およびコアマクロ部3から構成されている。チップ周辺部は、ICチップとチップ外部とのインタフェースとなる複数のI/Oバッファ21およびボンディングワイヤが接続される複数のパッド22から構成されている。コアマクロ部には、CPUコアブロック31、周辺ブロック32、ランダムロジックブロック33、およびゲートアレイブロック34が配置されており、各ブロックは、金属配線によって電氣的に接続されている。ゲートアレイ方式で設計されたゲートアレイブロックは、その他のブロックと共に、スタンダードセル方式またはフルカスタム方式によりレイアウト設計される。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000000295
【住所又は居所】 東京都港区虎ノ門1丁目7番12号
【氏名又は名称】 沖電気工業株式会社

【代理人】 申請人

【識別番号】 100095957
【住所又は居所】 東京都新宿区住吉町1-12 新宿曙橋ビル 金本
・ 亀谷・萩原特許事務所

【氏名又は名称】 亀谷 美明

【選任した代理人】

【識別番号】 100096389
【住所又は居所】 東京都新宿区住吉町1-12 新宿曙橋ビル 金本
・ 亀谷・萩原特許事務所

【氏名又は名称】 金本 哲男

【選任した代理人】

【識別番号】 100101557
【住所又は居所】 東京都新宿区住吉町1-12 新宿曙橋ビル 金本
・ 亀谷・萩原特許事務所

【氏名又は名称】 萩原 康司

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社